



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020030002803

(43) Publication.Date. 20030109

(21) Application No.1020010038523

(22) Application Date. 20010629

(51) IPC Code:

H01L 21/28

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

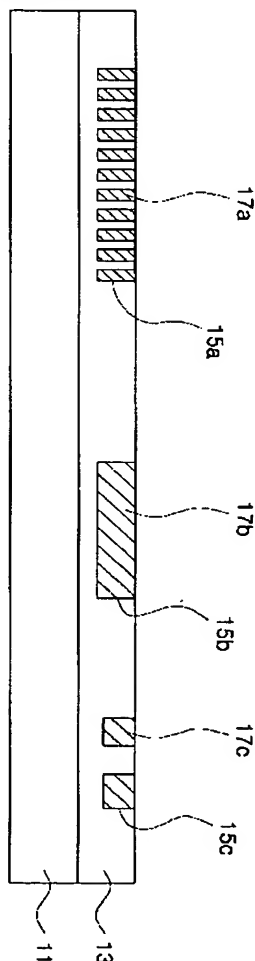
KIM, HAN MIN

(30) Priority:

(54) Title of Invention

METHOD FOR FABRICATING METAL INTERCONNECTION OF SEMICONDUCTOR DEVICE THROUGH DAMASCENE PROCESS

Representative drawing



(57) Abstract:

PURPOSE: A method for fabricating a metal interconnection of a semiconductor device through a damascene process is provided to guarantee a margin of chemical mechanical polishing(CMP) by eliminating a dishing phenomenon in CMP of a metal interconnection, and to decrease the number of metal interconnection layers by removing the limit of a layout of the metal interconnection layer.

CONSTITUTION: A semiconductor substrate(11) is prepared. An interlayer dielectric(13) is formed on the semiconductor substrate. The first and second trenches(15a,15b) are formed on the interlayer dielectric corresponding to a high density region having a narrow metal interconnection and an isolated region having a wide metal interconnection. A metal layer is formed on the interlayer dielectric including the first and second

trenches. A photoresist layer pattern is formed on a part of the metal layer corresponding to the second trench in the region having the wide metal interconnection. The metal layer is selectively eliminated by using the photoresist layer pattern as a mask. The photoresist layer pattern is removed. The metal layer is planarized to be left only in the first and second trenches.

© KIPO 2003

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/28

(11) 공개번호 특2003-0002803

(43) 공개일자 2003년01월09일

(21) 출원번호 10-2001-0038523

(22) 출원일자 2001년06월29일

(71) 출원인 주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자 김한민

경기도이천시부발읍아미리현대3차아파트301동601호

(74) 대리인 강성배

심사청구 : 있음

(54) 다마신공정을 이용한 반도체소자의 금속배선 형성방법

요약

본 발명은 다마신공정을 이용한 반도체소자의 금속배선 형성방법에 관한 것으로, 그 구성은 반도체기판을 제공하는 단계; 상기 반도체기판상에 층간절연막을 형성하는 단계; 금속배선의 폭이 좁으면서 밀도가 높은 영역과 금속배선폭이 넓으면서 고립된 영역에 해당하는 상기 층간절연막상에 제1트렌치 및 제2트렌치를 각각 형성하는 단계; 상기 제1 및 제2 트렌치를 포함한 층간절연막상에 금속층을 형성하는 단계; 상기 금속배선폭이 넓은 영역에 있는 제2트렌치에 대응하는 금속층부분상에 감광막패턴을 형성하는 단계; 상기 감광막패턴을 마스크로 상기 금속층을 선택적으로 제거하는 단계; 상기 감광막패턴을 제거하고 상기 금속층을 상기 제1 및 2 트렌치부분에만 남도록 평탄화시키는 단계를 포함하여 구성된다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 종래기술에 따른 다마신 공정에 있어서의 금속배선 폭 및 패턴밀도에 따른 CMP 공정마진의 문제점을 설명하기 위한 공정단면도이다.

도 2 내지 도 5는 본 발명에 따른 다마신공정을 이용한 반도체 소자의 금속배선 형성방법을 설명하기 위한 공정단면도이다.

* 도면의 주요 부분에 대한 부호 설명 *

11 : 반도체 기판

13 : 층간절연막

15a : 제1트렌치(금속배선밀도가 높은 지역)

15b : 제2트렌치(금속배선폭이 넓은 지역)

15c : 제3트렌치(금속배선밀도가 낮은 지역)

17 : 금속층

17a : 제1금속배선

17b : 제2금속배선

17c : 제3금속배선

19 : 감광막패턴

A : 층간절연막의 이로전(erosion)

B : 금속층의 디싱(dishing)

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 구체적으로는, 다마신공정을 이용하여 금속배선

및 평탄화를 동시에 이룰 수 있는 다마신공정을 이용한 반도체소자의 금속배선 형성방법에 관한 것이다.

최근에는 금속배선의 형성 및 평탄화를 다마신공정 (예를들면, 싱글 또는 이중)을 이용하여 진행하는 기술이 사용되고 있다.

이러한 다마신공정을 이용한 종래기술에 따른 반도체소자의 금속배선 형성방법을 도 1을 참조하여 설명하면 다음과 같다.

도 1은 종래기술에 따른 반도체소자의 다마신 공정에 있어서의 금속배선 폭 및 패턴밀도에 따른 CMP 공정마진의 문제점을 설명하기 위한 공정단면도이다.

종래기술에 따른 다마신공정을 이용한 반도체 소자의 금속배선 형성방법은, 도 1에 도시된 바와같이, 먼저 반도체기판(1)상에 층간절연막(3)을 증착하고, 상기 층간절연막(3)상에 금속배선용 마스크(미도시)를 형성하고, 이를 마스크로 이용한 다마신공정에의해 상기 층간절연막(3)을 선택적으로 패터닝하여 다수개의 금속배선용 트렌치(5a)(5b) (5c)를 형성한다.

이때, 상기 트렌치(5a)는 금속배선밀도가 높은 지역의 트렌치를 나타내고, 트렌치(5b)는 금속배선의 폭이 넓은 지역의 트렌치를 나타내며, 상기 트렌치(5c)는 금속배선밀도가 낮은 지역의 트렌치를 나타낸다.

그다음, 상기 다수개의 금속배선용 트렌치(5a)(5b) (5c)를 포함한 층간절연막(3)상에 금속배선용 금속층(미도시)을 증착한다.

이어서, 상기 금속층을 화학적 기계적 연마공정(CMP)에 의해 선택적으로 제거하여 상기 다수개의 금속배선용 트렌치(5a)(5b)(5c)내에 제1 및 2 금속배선 (7a)(7b)을 형성한다.

발명이 이루고자하는 기술적 과제

그러나, 상기 종래기술에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법에 있어서는 다음과 같은 문제점이 발생한다.

종래기술에 있어서는, 금속배선을 형성하기 위한 CMP공정을 진행할때, 금속배선평이 넓은 지역(15b)일수록 금속배선층에 대한 디싱(dishing), 또는 금속배선의 밀도가 높은 지역(15a)일수록 금속배선층에 대한 층간절연막의 이로전(erosion)(A)이 커지게 되므로써 심한 경우에는 금속배선층이 없어지게 되는 결과를 초래한다.

반대로, 금속 CMP 량이 적을 경우에는 금속배선층이 형성되어야 할 지역이외에 금속층이 남아 있게 되므로써 금속배선들간에 브릿지를 형성하게 된다.

따라서, 여러 종류의 금속배선 폭과 배선밀도가 존재하는 경우에는 금속 CMP 공정자체에 공정마진을 확보할 수 없게 되는 문제점이 있다.

이러한 공정상의 문제점을 보완해 줄 수 있는 것은 설계에서의 금속배선층에 대한 레이아웃에 예를들면, 금속배선층의 폭을 200 μ m 이상 사용금지 등의 제한을 두게 된다.

따라서, 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위해 안출된 것으로, 금속층의 CMP공정에서의 디싱을 억제하여 CMP공정마진을 확보할 수 있는 다마신공정을 이용한 반도체소자의 금속배선 형성방법을 제공함에 그 목적이 있다.

또한, 본 발명의 다른 목적은 반도체소자 제조의 설계에서의 금속배선층의 레이아웃에 대한 제한요소를 없애 주므로써 설계의 용이함과 금속배선층수를 줄일 수 있는 다마신공정을 이용한 반도체소자의 금속배선 형성방법을 제공함에 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법은, 반도체기판을 제공하는 단계; 상기 반도체기판상에 층간절연막을 형성하는 단계; 금속배선의 폭이 좁으면서 밀도가 높은 영역과 금속배선평이 넓으면서 고립된 영역에 해당하는 상기 층간절연막상에 제1 트렌치 및 제2트렌치를 각각 형성하는 단계; 상기 제1 및 제2 트렌치를 포함한 층간절연막상에 금속층을 형성하는 단계; 상기 금속배선평이 넓은 영역에 있는 제2트렌치에 대응하는 금속층부분상에 감광막패턴을 형성하는 단계; 상기 감광막패턴을 마스크로 상기 금속층을 선택적으로 제거하는 단계; 상기 감광막패턴을 제거하고 상기 금속층을 상기 제1 및 2 트렌치부분에만 남도록 평탄화시키는 단계를 포함하여 구성되는 것을 특징으로한다.

이하, 본 발명의 바람직한 실시예에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법을 첨부된 도면을 참조하여 상세히 설명한다.

도 2 내지 도 5는 본 발명에 따른 다마신공정을 이용한 반도체 소자의 금속배선 형성방법을 설명하기 위한 공정단면도이다.

본 발명에 따른 다마신공정을 이용한 반도체 소자의 금속배선 형성방법은, 도 2에 도시된 바와같이, 먼저 반도체기판(11)상에 층간절연막(13)을 증착하고, 상기 층간절연막(13)상에 제1감광막패턴(미도시)을 형성하고, 상기 제1감광막패턴을 마스크로 상기 층간절연막(13)을 선택적으로 패터닝하여 다수개의 금속배선용 트렌치(15a)(15b) (15c)를 형성한다.

이때, 상기 트렌치(15a)는 금속배선의 폭이 좁으면서 밀도가 높은 지역의 트렌치를 나타내고 (즉, 트렌치에 금속배선층을 증착후 완전 로컬(local) 평탄화가 이루어지는 부분), 트렌치(15b)는 금속배선의 폭이 넓으며 고립된 트렌치 지역을 나타내며 (즉, 트렌치에 금속배선층을 증착후 완전 로컬(local) 평탄화

가 이루어지지 않을 뿐 아니라 증착된 금속간에 공간이 형성되는 부분), 상기 트렌치(15c)는 금속배선의 폭이 일정폭 이상 (예를 들어, 트렌치에 금속배선층을 증착후 완전 로컬(local) 평탄화가 이루어지지 않으면서 증착된 금속배선간에 공간이 형성되는 부분)으로 일정 밀도지역의 트렌치를 나타낸다.

그다음, 상기 다수개의 금속배선용 트렌치(15a)(15b)(15c)를 포함한 층간절연막(13)상에 금속배선용 금속층(17)을 증착한다. 이때, 상기 금속층(17)의 물질로는, CVD W, Al, Cu 또는 Ag 중에서 어느 하나를 선택하여 사용할 수 있다.

이어서, 도 3에 도시된 바와같이, 상기 금속배선용 금속층(17)상에 제2감광막(미도시)을 도포하고, 포토 리소그래피공정기술을 이용한 노광 및 현상공정을 통해 금속배선이 넓게 형성되는 지역(15b)과 트렌치에 금속배선층을 증착한후 완전 로컬(local) 평탄화가 이루어지지 않은 지역(15c)상에만 남도록 선택적으로 패터닝하여 제2감광막패턴(19)을 형성한다.

그다음, 도 4에 도시된 바와같이, 상기 제2감광막패턴(19)을 마스크로 상기 금속층(17)을 선택적으로 패터닝한다. 이때, 금속배선이 형성되지 않은 넓은 지역(15b)의 금속층과 금속층 증착후 완전 로컬(local) 평탄화를 이루는 지역(15a)에서의 금속층을 제거하여 주므로써 금속층의 CMP공정에서의 시간을 줄여 금속배선의 형성되는 곳에서의 다싱을 없앨 수가 있다. 또한, 상기 금속층(17)의 식각공정은 습식식각 또는 건식식각방법을 사용할 수 있다.

이어서, 도 5에 도시된 바와같이, 상기 제2감광막패턴(19)을 제거하고, 상기 선택적으로 패터닝된 금속층(17)을 화학적 기계적 연마공정(CMP)에 의해 선택적으로 제거하여 상기 다수개의 금속배선용 트렌치(15a)(15b)(15c)내에 제1 및 2 금속배선(17a)(17b)(17c)을 형성한다.

발명의 효과

이상에서 설명한 바와같이, 본 발명에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법에 있어서는 다음과 같은 효과가 있다.

본 발명에 따른 다마신공정을 이용한 반도체소자의 금속배선 형성방법에 있어서는, 다마신 공정에서의 트렌치 마스크를 역(reverse)으로 제작하여 트렌치 형성후 금속배선층을 증착한후 금속배선층이 형성되지 않은 넓은 지역과 금속배선층 증착후 완전 로컬(local) 평탄화를 이루는 전 지역에 역 마스크를 적용하여 식각공정을 진행하므로써 금속층의 CMP공정에서의 다싱을 없애 주므로써 안정된 CMP 공정마진을 확보할 수 있다.

또한, 반도체소자의 제조설계에 있어서, 금속배선층에서의 레이아웃에 대한 제한 요소를 없애 주므로써 설계의 용이함은 물론 금속배선층 수, 예를 들면 3층의 금속배선층을 2층의 금속배선층으로 줄일 수 있다.

한편, 본 발명은 상술한 특징의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

(57) 청구의 범위

청구항 1

반도체기판을 제공하는 단계;

상기 반도체기판상에 층간절연막을 형성하는 단계;

금속배선의 폭이 좁으면서 밀도가 높은 영역과 금속배선폭이 넓으면서 고립된 영역에 해당하는 상기 층간절연막상에 제1트렌치 및 제2트렌치를 각각 형성하는 단계;

상기 제1 및 제2 트렌치를 포함한 층간절연막상에 금속층을 형성하는 단계;

상기 금속배선폭이 넓은 영역에 있는 제2트렌치에 대응하는 금속층부분상에 감광막패턴을 형성하는 단계;

상기 감광막패턴을 마스크로 상기 금속층을 선택적으로 제거하는 단계;

상기 감광막패턴을 제거하고 상기 금속층을 상기 제1 및 2 트렌치부분에만 남도록 평탄화시키는 단계를 포함하여 구성되는 것을 특징으로 하는 다마신 공정을 이용한 반도체소자의 금속배선 형성방법.

청구항 2

제 1항에 있어서,

상기 제1 및 2 트렌치를 형성하는 단계는, 금속배선 밀도가 높은 영역과 금속배선폭이 넓은 영역에 해당하는 상기 층간절연막상에 감광막패턴을 형성하는 단계;

상기 감광막패턴을 마스크로 상기 층간절연막을 선택적으로 패터닝하는 단계를 포함하는 것을 특징으로 하는 다마신공정을 이용한 반도체소자의 금속배선 형성방법.

청구항 3

제 1항에 있어서, 상기 금속층의 물질로는, CVD W, Al, Cu 또는 Ag중에서 어느 하나를 선택하여 사용하는 것을 특징으로 하는 다마신공정을 이용한 반도체소자의 금속배선 형성방법.

청구항 4

제 1항에 있어서, 상기 감광막패턴은 리버스 트렌치마스크로 사용하는 것을 특징으로 하는 다마신공정을 이용한 반도체소자의 금속배선 형성방법.

청구항 5

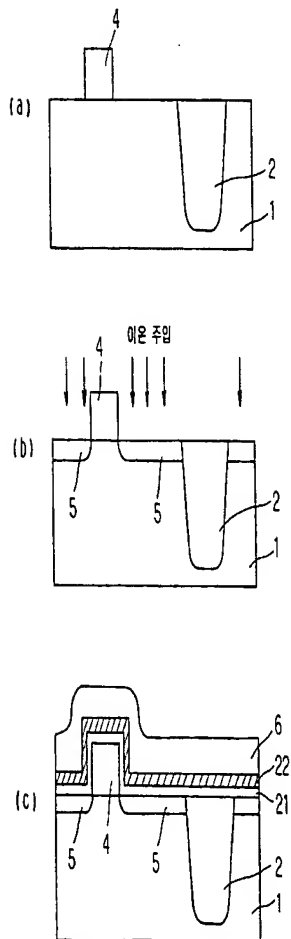
제 4항에 있어서, 상기 리버스트렌치마스크는 금속배선이 형성되지 않는 넓은 지역과 금속배선층 증착후 완전 로컬(local) 평탄화를 이루는 지역에 있는 감광막을 제거하여 형성하는 것을 특징으로 하는 다마신 공정용 이용한 반도체소자의 금속배선 형성방법.

청구항 6

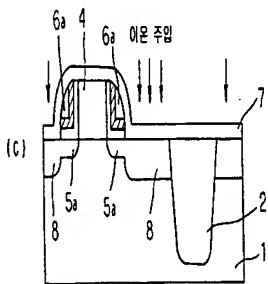
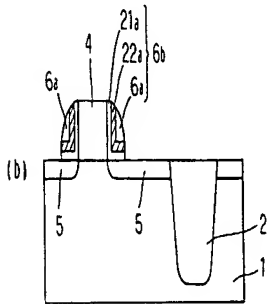
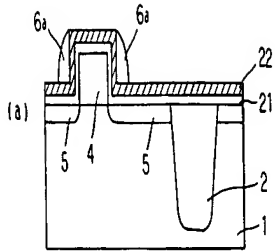
제 1항에 있어서, 상기 금속층은 습식식각 또는 건식식각에 의해 선택적으로 패터닝되는 것을 특징으로 하는 다마신공정을 이용한 반도체소자의 금속배선 형성방법.

도면

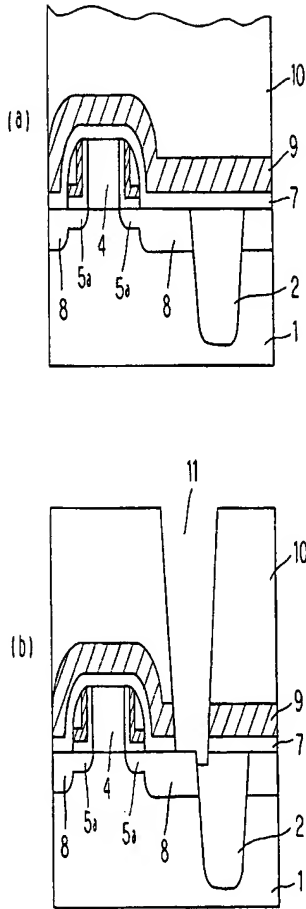
도면1



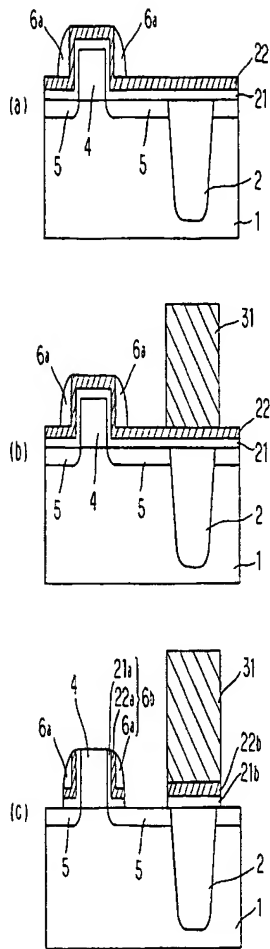
도면2



도면3



도면4



도면5

